

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2005 年 9 月 9 日 (09.09.2005)

PCT

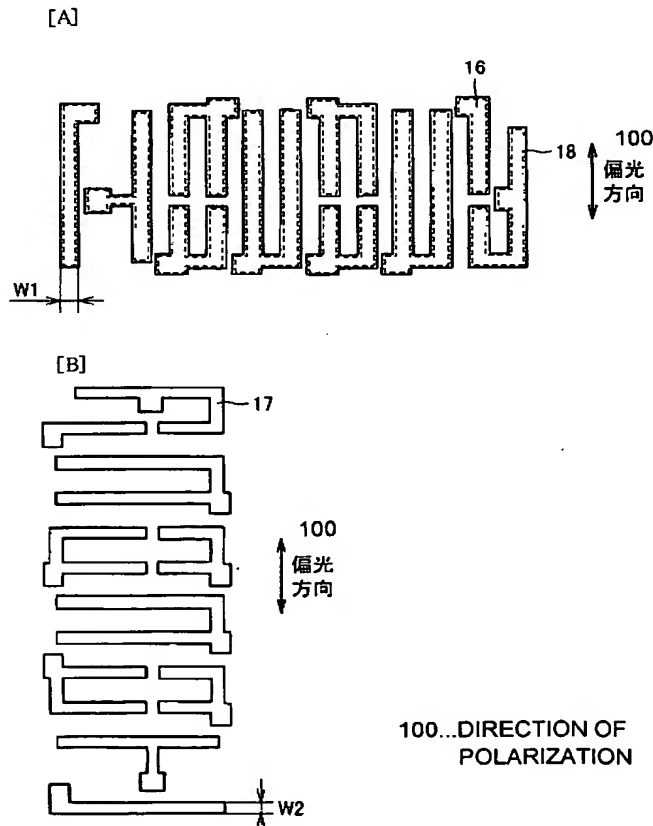
(10) 国際公開番号  
WO 2005/083515 A1

- (51) 国際特許分類<sup>7</sup>: G03F 1/08, H01L 21/027 (72) 発明者; および  
(21) 国際出願番号: PCT/JP2004/019165 (75) 発明者/出願人 (米国についてのみ): 田中 稔彦  
(22) 国際出願日: 2004 年 12 月 22 日 (22.12.2004) (TANAKA, Toshihiko) [JP/JP]; 〒1006334 東京都千代  
(25) 国際出願の言語: 日本語 田区丸の内二丁目 4 番 1 号 株式会社ルネサステク  
(26) 国際公開の言語: 日本語 ノロジ内 Tokyo (JP).  
(30) 優先権データ: 特願2004-052047 2004 年 2 月 26 日 (26.02.2004) JP (74) 代理人: 深見 久郎, 外(FUKAMI, Hisao et al.); 〒  
(71) 出願人 (米国を除く全ての指定国について): 株式会 5300054 大阪府大阪市北区南森町 2 丁目 1 番 2 9 号  
社ルネサステクノロジ (RENESAS TECHNOLOGY 三井住友銀行南森町ビル 深見特許事務所 Osaka (JP).  
CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二 (81) 指定国 (表示のない限り、全ての種類の国内保護が  
丁目 4 番 1 号 Tokyo (JP). 可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,  
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,  
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,  
ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT,  
LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI,

[続葉有]

(54) Title: PROCESS FOR FABRICATING SEMICONDUCTOR DEVICE AND METHOD FOR GENERATING MASK PAT-  
TERN DATA

(54) 発明の名称: 半導体装置の製造方法およびマスクパターンデータ作成方法



(57) Abstract: A process for fabricating a semiconductor device having a first wiring pattern extending in the longitudinal direction, and a second wiring pattern having the same shape as the first wiring pattern and extending in the direction (lateral direction) perpendicular to the longitudinal direction. The process comprises a step for performing exposure according to a mask pattern including a mask pattern (16) for forming a first wiring pattern and a mask pattern (17) for forming a second wiring pattern using linear polarization illumination, and a step for forming first and second wiring patterns having shapes corresponding to the mask patterns (16, 17) after the exposure wherein the shapes of the mask patterns (16, 17) for forming first and second wiring patterns are different from each other.

(57) 要約: 縦方向に延在する第 1 配線パターンと、第 1 配線パターンと同一形状を有し、縦方向と直交する方向 (横方向) に延在する第 2 配線パターンとを有する半導体装置の製造方法であって、直線偏光照明を用い、第 1 配線パターン形成用のマスクパターン (16) と第 2 配線パターン形成用のマスクパターン (17) とを含むマスクパターンに従って露光を行なう工程と、露光後にマスクパターン (16, 17) に従った形状の第 1 と第 2 配線パターンを形成する工程とを備え、

第 1 と第 2 配線パターン形成用のマスクパターン (16, 17) の形状を互いに異ならせている。



NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,  
SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,  
UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,  
MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護  
が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,  
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,  
BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,  
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,  
IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される  
各PCTガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。

## 明 細 書

### 半導体装置の製造方法およびマスクパターンデータ作成方法

#### 技術分野

- [0001] 本発明は、半導体装置の製造方法およびマスクパターンデータ(mask pattern data)作成方法に関し、特に、直線偏光光によるリソグラフィ技術を用いる半導体装置の製造方法およびマスクパターンデータ作成方法に関する。

#### 背景技術

- [0002] 半導体集積回路装置の製造においては、微細パターンを半導体ウエハ上に転写する方法としてリソグラフィ技術が用いられる。リソグラフィ技術においては、おもに投影露光装置が用いられ、投影露光装置に装着したフォトマスクのパターンを半導体ウエハ上に転写してデバイスパターンを形成する。
- [0003] 近年、デバイスの高集積化、およびデバイス動作速度向上の要請に応えるため、パターンの微細化が進められている。このような背景の下、露光装置の開口数(NA: Numerical Aperture)を上げて解像度を向上させることが従来から行なわれている。
- [0004] また、より実効的なNAを向上させる方法として、液浸と呼ばれる露光方法も検討されている。液浸露光法はレンズと焼付け対象の試料となるレジスト面との間を液体で満たしてその空間の屈折率を上げ、実効的なNAを向上させる(別の観点では、露光光の実効的な波長を短くする)露光法である。液浸に関する技術については、たとえば、後述する非特許文献1に記載されている。
- [0005] このように、実効的な開口数を上げて、パターンのコントラスト(解像度)を向上させる要請がますます高まっている。現状では、上記NAが0.9以上のものがすでに試作されている。また、液浸との組み合わせによって、換算上のNAが1.3程度になる露光装置についても計画されている。このような超高開口数の露光装置においては、露光光の偏光方向により、転写パターンのコントラストが大きく変化することが知られている。
- [0006] 一般に、パターンの延在方向に沿った偏光光(以下、S偏光光と称する場合がある

。)による露光では高いコントラストが得られ、無偏光光による露光では解像度が低くなり、パターンの延在方向に垂直な偏光光(以下、P偏光光と称する場合がある。)による露光では解像度がさらに低くなることが知られている。このことは、たとえば、特開平6-275493号公報(従来例1)、特開平5-90128号公報(従来例2)、特開平6-140306号公報(従来例3)などに記載されている。

特許文献1:特開平6-275493号公報

特許文献2:特開平5-90128号公報

特許文献3:特開平6-140306号公報

非特許文献1:”液浸露光技術”、[online]、(株)ニコン、[2004年2月19日検索]、インターネット<URL:<http://www.nikon.co.jp/main/jpn/profile/technology/immersion/>>

## 発明の開示

### 発明が解決しようとする課題

[0007] しかしながら、上記のような半導体装置の製造方法においては、以下のような問題があった。

[0008] 上述したとおり、露光光の偏光方向によって、形成されるパターンのコントラストが変化する。液浸技術などの採用により開口数(NA)が向上するにつれて、この偏光依存性はますます高まる。この結果、露光光の偏光方向がパターン形状などに影響を及ぼし、所望のパターン形状を安定して得ることができない場合がある。

[0009] これに対し、従来例1, 2においては、一方向にのみ延在するパターンを想定した露光方法が開示されている。また、従来例3においては、直交する2方向のパターンを形成するためのマスクを別個に形成する露光方法が開示されているが、パターン方向別に寸法補正量を変化させるという思想は開示されていない。このように、本発明と従来例1-3とは前提および構成が全く異なる。

[0010] 本発明は、上記のような問題に鑑みてなされたものであり、本発明の目的は、ウェハ上に形成されるパターン形状を安定させることが可能な半導体装置の製造方法、マスクパターンデータ作成方法を提供することにある。

### 課題を解決するための手段

- [0011] 本発明に係る半導体装置の製造方法は、第1方向に延在する第1パターンと、該第1パターンと同一形状を有し、第1方向と直交する第2方向に延在する第2パターンとを有する半導体装置の製造方法であって、直線偏光照明を用い、前記第1パターン形成用の第1マスクパターンと前記第2パターン形成用の第2マスクパターンとを含むマスクパターンに従って露光を行なう工程と、露光後にマスクパターンに従った形状の前記第1と第2パターンを形成する工程とを備え、第1と第2マスクパターンの形状を互いに異ならせている。
- [0012] 本発明に係るマスクパターンデータ作成方法は、直線偏光光を用いてウエハ上にパターンを形成するためのマスクパターンを規定するマスクパターンデータ作成方法であって、直線偏光光の偏光方向に平行な第1方向と、該第1方向と直交する第2方向とにおいて互いに寸法補正量を異ならせている。

#### 発明の効果

- [0013] 本発明によれば、露光によりウエハ上に形成されるパターンの形状を安定させることができる。
- [0014] 本発明の上記および他の目的、特徴、局面および利点は、添付の図面と関連して理解される本発明に関する次の詳細な説明から明らかとなるであろう。

#### 図面の簡単な説明

- [0015] [図1]本発明の実施の形態1に係る半導体装置の構成の概要を示した上面図である。
- [図2]図1に示す半導体装置のメモリマット(memorymat)部におけるパターンレイアウトを示した上面図である。
- [図3A]本発明の実施の形態1に係る半導体装置における周辺回路部のゲート配線パターンレイアウトを示した上面図であり、縦方向ゲートパターンを示す。
- [図3B]本発明の実施の形態1に係る半導体装置における周辺回路部のゲート配線パターンレイアウトを示した上面図であり、横方向ゲートパターンを示す。
- [図4A]図3Aに示す配線パターンを形成するためのマスクパターンを示した上面図である。
- [図4B]図3Bに示す配線パターンを形成するためのマスクパターンを示した上面図で

ある。

[図5A]本発明の実施の形態1に係る半導体装置における周辺回路部の密集配線パターンを形成するためのマスクパターンを示した上面図であり、縦方向密集パターンを形成するための縦方向マスクパターンを示す。

[図5B]本発明の実施の形態1に係る半導体装置における周辺回路部の密集配線パターンを形成するためのマスクパターンを示した上面図であり、横方向密集パターンを形成するための横方向マスクパターンを示す。

[図6A]L形配線パターンを形成するためのマスクパターンを示した上面図であり、一般的なマスクパターンレイアウトを示す。

[図6B]L形配線パターンを形成するためのマスクパターンを示した上面図であり、一般的なマスクパターンレイアウトを示す。

[図6C]L形配線パターンを形成するためのマスクパターンを示した上面図であり、本発明の実施の形態1に係る半導体装置の製造方法において用いるマスクパターンレイアウトを示す。

[図6D]L形配線パターンを形成するためのマスクパターンを示した上面図であり、本発明の実施の形態1に係る半導体装置の製造方法において用いるマスクパターンレイアウトを示す。

[図7A]本発明の実施の形態1に係る半導体装置における突合せ配線パターンを形成するためのマスクパターンを示した上面図であり、縦方向突合せ配線パターンを形成するための縦方向マスクパターンを示す。

[図7B]本発明の実施の形態1に係る半導体装置における突合せ配線パターンを形成するためのマスクパターンを示した上面図であり、横方向突合せ配線パターンを形成するための横方向マスクパターンを示す。

[図8A]本発明の実施の形態2に係る半導体装置における配線パターンを形成するためのマスクパターンの1つの例を示した上面図であり、縦方向配線パターンを形成するための縦方向マスクパターンを示す。

[図8B]本発明の実施の形態2に係る半導体装置における配線パターンを形成するためのマスクパターンの1つの例を示した上面図であり、横方向配線パターンを形成す

るための横方向マスクパターンを示す。

[図9A]本発明の実施の形態2に係る半導体装置における配線パターンを形成するためのマスクパターンの他の例を示した上面図であり、縦方向配線パターンを形成するための縦方向マスクパターンを示す。

[図9B]本発明の実施の形態2に係る半導体装置における配線パターンを形成するためのマスクパターンの他の例を示した上面図であり、横方向配線パターンを形成するための横方向マスクパターンを示す。

[図10A]ホールパターンを形成するためのマスクパターンを示した上面図であり、一般的なマスクパターンを示す。

[図10B]ホールパターンを形成するためのマスクパターンを示した上面図であり、本発明の実施の形態3に係る半導体装置の製造方法において用いるマスクパターンレイアウトを示す。

[図11A]図10Aに示すマスクパターンを集合させた状態を示す上面図である。

[図11B]図10Bに示すマスクパターンを集合させた状態を示す上面図である。

[図12A]図11Aに示すマスクパターンを用いて行なうパターン転写の結果を示す上面図である。

[図12B]図11Bに示すマスクパターンを用いて行なうパターン転写の結果を示す上面図である。

[図13A]本発明の実施の形態4に係る半導体装置の製造方法における、マスクパターン転写後のレジストパターンを示した断面図である。

[図13B]本発明の実施の形態4に係る半導体装置の製造方法における、マスクパターン転写後のレジストパターンを示した断面図である。

[図13C]本発明の実施の形態4に係る半導体装置の製造方法における、マスクパターン転写後のレジストパターンを示した断面図である。

[図13D]本発明の実施の形態4に係る半導体装置の製造方法における、マスクパターン転写後のレジストパターンを示した断面図である。

[図14A]本発明の実施の形態4に係る半導体装置の製造方法における、マスクパターン転写後のレジストパターンを示した上面図である。

[図14B]本発明の実施の形態4に係る半導体装置の製造方法における、マスクパターン転写後のレジストパターンを示した上面図である。

[図15]半導体製造装置の構成の一例を示した図である。

[図16]本発明の実施の形態1に係るマスクパターンデータ作成方法のフローの1つの例を示した図である。

[図17]本発明の実施の形態1に係るマスクパターンデータ作成方法のフローの他の例を示した図である。

[図18]一般的な配線パターン形成工程における第1工程を示した図である。

[図19]一般的な配線パターン形成工程における第2工程を示した図である。

[図20]一般的な配線パターン形成工程における第3工程を示した図である。

[図21]一般的な配線パターン形成工程のフローを示した図である。

## 符号の説明

- [0016] 1 光源、2 ミラー、3 フライアイレンズ、4 偏光板、5 マスクパターン、6 微細パターン、7 フォトマスク、8 対物レンズ、9 ウエハ、10 メモリマツト部、11 周辺回路部、12 引き出し線部、13 ライアンドスペースパターン、14, 15 配線パターン、16, 17 マスクパターン、18 マスクパターン(寸法補正前)、19, 20 マスクパターン、21 マスクパターン(寸法補正前)、22 主パターン(横方向)、23 ハンマヘッド(横方向)、24 主パターン(縦方向)、25 ハンマヘッド(縦方向)、26, 26A 主パターン、27 補助パターン、28 主パターン(縦方向)、29 補助パターン(縦方向)、30 主パターン(横方向)、31 補助パターン(横方向)、32, 40 ハーフトーンフィールド部、33, 34 開口部、41, 42 開口部、43 レジスト、44, 45 ホール、46 異状転写パターン、50 基板、51, 51A, 52, 52A レジストパターン、101, 102 設計パターン、103, 104 マスクパターン、105, 106 メイン部、107, 108 飛出し部、109, 110 インナセリフ部(凹部)、111, 112 セリフ部(凸部)、113, 114 マスクパターン、113A, 114A コーナ部、115A, 115B メイン部、116A, 116B 飛出し部、117A, 117B インナセリフ部、118A, 118B セリフ部、120 ウエハ、121 絶縁層、121A 絶縁膜、122 導電層、122A 配線パターン、123 レジスト膜、123A レジストパターン。



## 発明を実施するための最良の形態

[0017] 以下に、本発明に基づく半導体装置の製造方法およびマスクパターンデータ作成方法の実施の形態について、図1から図21を用いて説明する。

[0018] (実施の形態1)

図1は、本発明の実施の形態1に係る半導体装置を示した上面図である。

[0019] 本実施の形態に係る半導体装置は、不揮発性半導体記憶装置の一例であるフラッシュメモリである。なお、本実施の形態においては、本発明の適用例として上記フラッシュメモリに関する説明を行なうが、本願発明の適用範囲はフラッシュメモリに限定されるものではなく、任意の半導体装置に適用可能である。

[0020] 図1を参照して、フラッシュメモリ(半導体装置)は、メモリマツト部10と周辺回路部11とを備える。

[0021] 図2は、メモリマツト部10のゲート配線パターンの一例を示した図である。

[0022] 図2を参照して、ゲート配線パターンは、メモリセル上に形成されたラインアンドスペースパターン13(line-and-space pattern)とコンタクトパッド(contact pad)に接続される引き出し線部12とを含む。

[0023] ラインアンドスペースパターン13は、フラッシュメモリの中で最も密度が高い微細パターンである。なお、ラインアンドスペースパターン13のチップ面積全体に占める割合は約50%以上であるので、ラインアンドスペースパターン13のピッチを狭めることで、効率的にチップ面積を縮小する効果(チップシュリンク(chip shrink)効果)が得られる。

[0024] したがって、ラインアンドスペースパターン13の延在方向に対して平行な方向に偏光する直線偏光光(ラインアンドスペースパターン13に対してS偏光光となる直線偏光光)を用いて露光工程が施される。これにより、ラインアンドスペースパターン13の解像度を高め、ラインアンドスペースパターン13のピッチを狭めることができる。

[0025] 上記直線偏光は、直線偏光照明を用いることで得られる。図15は、本実施の形態に係る半導体装置の製造方法を実現する直線偏光照明を含めた半導体製造装置の一例を示した図である。

[0026] 図15を参照して、光源1の背面にはミラー2が備えられる。光源1から発せられた光

は、フライアイレンズ3(fly-eye lens)を通過することで均一化され、偏光板4を通過することで、所定の方向に偏光する直線偏光光となる。本実施の形態においては、ウエハ9上の微細パターン6(たとえばラインアンドスペースパターン13など)および該パターン6を形成するためのマスクパターン5の延在方向に沿って偏光する直線偏光光(S偏光光)が生じる。

- [0027] 偏光板4からの直線偏光光は、フォトマスク7に達する。フォトマスク7上には、上述したマスクパターン5が形成されている。フォトマスク7を通過した直線偏光光は、対物レンズ8(投影レンズ)を介してウエハ9上に達する。この結果、マスクパターン5がウエハ9上に形成されたレジスト膜上に転写されることになる。
- [0028] 図15に示す露光装置においては、露光波長を193nm、レンズNAを0.92として、大気中露光を行なっている。ただし、これらの条件は一例であり、レンズのNAを向上させたり、液浸技術を用いたりして、さらにピッチの狭いパターン6の形成を可能とすることは、当然に予定されている。たとえば、F2エキシマレーザ(excimer laser)を用いて露光波長を157nmにすることができる。なお、光源1がエキシマレーザの場合は、そこから発する光は元々直線偏光光となる。この場合、偏光面を90°回してS偏光とP偏光との切換えを行なうには、 $\lambda/4$ 板を用いればよい。
- [0029] ウエハ上に配線パターンを形成する一般的な工程について、図18〜図21を用いて説明する。
- [0030] 図18に示すように、絶縁層121および導電層122が形成されたウエハ120上にレジスト膜123を形成する(図21中のステップ130)。
- [0031] 次に、マスクパターンを用いて露光を行なう(図21中のステップ131)。その後、現像処理を施すことにより、図19に示すように、マスクパターンに対応したレジストパターン123Aが形成される。
- [0032] さらに、レジストパターン123Aをマスクとして、エッチングを施すことにより、図20に示すように、ウエハ120上に絶縁膜121Aを介して配線パターン122Aが形成される。その後、レジストパターン123Aを除去する(以上、図21中のステップ132)。
- [0033] 次に、上述した露光工程において用いるフォトマスクのマスクパターンデータの作成方法について説明する。

- [0034] 一般的に、マスクパターン形成時には、該マスクパターンのウエハ転写時の変形量(パターン変形量)を予め見込んで、その変形を補正したマスクパターンを形成しておく手法(OPC:Optical Proximity Correction)が用いられる。このとき補正される寸法を、寸法補正量と称する。
- [0035] 露光光として無偏光(ランダム偏光)光を用いる場合、縦方向と横方向との間で寸法補正量に差異は設けない。しかし、露光光として直線偏光を用いる場合、形成されるパターンの解像度が縦方向と横方向とで異なるため、同一寸法のマスクパターンに従って形成されるパターンの寸法が、縦方向と横方向とで異なるという問題が生じる。
- [0036] これに対し、本実施の形態に係るマスクパターンデータ作成方法においては、露光に用いる直線偏光光の偏光方向に平行な縦方向(第1方向)と、縦方向に対して直交する横方向(第2方向)とにおいて互いに寸法補正量を異ならせている。
- [0037] これにより、露光光の偏光方向に依らずに安定した形状のパターンを得ることができる。
- [0038] 図16は、本実施の形態に係るマスクパターンデータ作成方法の手順を示す図である。
- [0039] 図16を参照して、ウエハ上に形成されるパターンに関するデータ(設計パターンデータ)と、露光に用いる直線偏光光の偏光方向に関するデータ(偏光方向データ)と、その他の露光条件(開口数(NA)、照明のコヒーレンシ(coherence)( $\sigma$ ))と、レジストに関する情報(レジストおよび現像パラメータ)とが入力される(図16中のステップ61)。
- [0040] 次に、設計パターンデータと偏光方向データと露光条件とから光学像が計算される(図16中のステップ62)。ここで、偏光方向と個々の設計パターンの方向との関係が参照される。
- [0041] 算出された光学像と上述したレジスト(および現像)パラメータとから、転写像が計算される(図16中のステップ63)。
- [0042] 上記転写像から、フォトマスク上に形成されるマスクパターンデータが得られる(図16中のステップ64)。そして、算出されたマスクパターンデータが出力される(図16中

のステップ65)。

[0043] 図17は、図16に示すマスクパターンデータ作成方法の手順の変形例を示す図である。

[0044] 図17を参照して、この変形例においては、入力された設計パターンデータにおける最も微細なパターン(微細密集パターン)を自動で抽出し(図17中のステップ61A)、その抽出結果に基づいて、露光に用いる直線偏光光の偏光方向を規定する(図17中のステップ61B)。この結果、上述した偏光方向データは自動で得られるので、該データを入力する必要はない。

[0045] ここで、直線偏光光の偏光方向は、微細密集パターンの延在方向に平行な方向として規定される。これにより、設計パターンにおける最も微細なパターンを、該パターンに対してS偏光光となる直線偏光光を用いてパターンニングすることができる。この結果、微細密集パターンの解像度を向上させ、チップ面積を効果的に縮小することができる。

[0046] なお、上述したマスクパターンデータ作成方法における各ステップ61〜65を実現するEDA(Electronic Design Automation)プログラムを作成することは、当初から予定されている。

[0047] 次に、上述したマスクパターンデータ作成方法によって得られるマスクパターンとその効果について説明する。

[0048] 図3A、図3Bは、上述したフラッシュメモリ(半導体装置)の周辺回路部11におけるゲート配線パターンの一例を示した図である。なお、図3A、図3Bに示される配線パターンの形状は同一のものであり、図3Aに示す配線パターンを90°回転させると、図3Bに示す配線パターンが得られる。

[0049] 図3A、図3Bを参照して、周辺回路部11における配線パターン14、15は、上述したメモリマト部10におけるラインアンドスペースパターン13に比べて、パターン間のピッチが大きい。具体的には、たとえば、ラインアンドスペースパターン13のパターン幅が60nm程度、パターンピッチが120nm程度であるのに対し、配線パターン14、15のパターンピッチは、最も狭いところでも240nm程度である。

[0050] 配線パターン14(第1パターン)は縦方向(第1方向)に延在し、配線パターン15(

第2パターン)は横方向(第2方向)に延在している。配線パターン14, 15の幅(W0)は、互いに等しい。

- [0051] ラインアンドスペースパターン13および配線パターン14, 15は、同一の直線偏光光による同一の露光工程を経て形成される。ここで、露光に用いられる直線偏光光の偏光方向は、ラインアンドスペースパターン13の延在方向と平行になるように規定される。結果として、偏光方向は配線パターン14の延在方向(図3A, 図3B中の上下方向)と平行になる。すなわち、上記直線偏光光は、配線パターン14に対してはS偏光(TE(Transverse Electric)波)光となり、配線パターン15に対してはP偏光(TM(Transverse Magnetic)波)光となる。
- [0052] 上述したとおり、P偏光光により転写されたパターンよりも、S偏光光により転写されたパターンの方が解像度が高い。したがって、同一形状のマスクパターンを用いて配線パターン14, 15を形成した場合、その寸法に3nm程度の差が生じる。
- [0053] 図4A, 図4Bは、図3A, 図3Bに示す配線パターン14, 15を形成するためのマスクパターン16, 17を示した図である。
- [0054] 図4A, 図4Bを参照して、S偏光光により形成される配線パターン14に対応するマスクパターン16(第1マスクパターン)の幅(W1)を、P偏光光により形成される配線パターン15に対応するマスクパターン17(第2マスクパターン)の幅(W2)よりも大きくしている。なお、図4Aにおいて、マスクパターン17と同形状のパターンが、マスクパターン18としてマスクパターン16内に破線で描かれている。図4Aにおけるマスクパターン16, 18の横方向の寸法差は16nmである。また、図4Aにおいて、マスクパターン16, 18に縦方向の寸法差はない。
- [0055] 上述したとおり、S偏光光により形成される配線パターン14は、P偏光光により形成される配線パターン15よりも高い解像度を有するため、配線パターン14, 15の形成において同形状のマスクパターンを用いた場合、配線パターン14の幅は配線パターン15の幅よりも小さくなる。これに対し、マスクパターンについて上記寸法補正を行なうことにより、配線パターン14の幅を大きくすることができ、結果として、ウエハ上に形成される配線パターン14, 15の配線幅(W0)を互いに等しくすることができる。
- [0056] なお、配線パターン14, 15の配線ピッチは、ラインアンドスペースパターン13の配

線ピッチに比べて大きいため、P偏光光により形成される配線パターン15についても十分に解像される。また、配線パターン14はS偏光光により形成され、焦点深度(D OF:Depth Of Focus)などに比較的余裕があるので、マスクパターン16の幅をマスクパターン17の幅よりも大きくしても、配線パターン14は十分に解像される。

[0057] このように、配線パターンの延在方向と偏光方向との関係に応じてマスクパターンの寸法補正量を変化させることにより、メモリマツト部において微細ピッチのゲート配線パターンを形成しながら、周辺回路部の縦方向(第1方向)と横方向(第2方向)とで寸法差のない、設計に忠実なゲートパターンの形成が可能となった。

[0058] 上記と同様の思想で寸法補正を施したマスクパターンの他の例について説明する。

[0059] 図5A, 図5Bは、上述したフラッシュメモリの周辺回路部における密集パターンを形成するためのマスクパターン19, 20を示した図である。

[0060] 図5A, 図5Bを参照して、S偏光光により形成される配線パターンに対応するマスクパターン19(第1マスクパターン)の幅(W1)を、P偏光光により形成される配線パターンに対応するマスクパターン20(第2マスクパターン)の幅(W2)よりも大きくしている。なお、図5Aにおいて、マスクパターン20と同形状のパターンが、マスクパターン21としてマスクパターン19内に破線で描かれている。

[0061] このように、縦方向と横方向とでマスクパターンの寸法補正量を異ならせることで、周辺回路部における密集パターンにおいても縦横差のない、設計に忠実なパターン形成を行なうことができた。

[0062] 図6A, 図6B, 図6C, 図6Dは、上述したフラッシュメモリの周辺回路部における孤立パターンを形成するためのマスクパターンを示した図である。なお、図6A, 図6Bは、無偏光光を用いて孤立パターンを形成する際に用いるマスクパターンであり、図6C, 図6Dは、直線偏光光を用いて孤立パターンを形成する際に用いるマスクパターンを示す。

[0063] 図6A, 図6Bを参照して、それぞれ縦方向(第1方向)と横方向(第2方向)とに延在するL形の設計パターン101, 102(破線)は、同一の形状を有する。設計パターン101, 102を形成するためのマスクパターン103, 104は、メイン(main)部105, 106

と飛出し部107, 108と、コーナ (corner) 部の内側にインナセリフ (inner serif) 部109, 110 (第1と第2凹部) と、コーナ部の外側にセリフ (serif) 部111, 112 (第1と第2凸部) とを有する。ここで、設計パターン101, 102は、無偏光光を用いた露光工程を経て形成されるので、設計パターン101, 102を形成するためのマスクパターン103, 104の形状は同一である。

- [0064] 図6C, 図6Dを参照して、S偏光光により形成される配線パターンに対応するマスクパターン114 (第1マスクパターン) の幅 (W1) を、P偏光光により形成される配線パターンに対応するマスクパターン113 (第2マスクパターン) の幅 (W2) よりも大きくしている。なお、図6Dにおいて、マスクパターン113と同形状のパターンが、マスクパターン114内に破線で描かれている。
- [0065] 図6C, 図6Dに示すように、横方向に延在するマスクパターン113と縦方向に延在するマスクパターン114とでは、メイン部115A, 115Bの線幅、飛出し部116A, 116Bの飛出し量、インナーセリフ部117A, 117B (第1と第2凹部) の形状およびセリフ部118A, 118B (第1と第2凸部) の形状が互いに異なる。これにより、縦方向と横方向とで同形状を有する設計パターンが形成される。
- [0066] このように、縦方向と横方向とでマスクパターンの寸法補正量を異ならせることで、孤立パターンにおいても縦横差のない、設計に忠実なパターン形成を行なうことができた。一方、寸法補正量に差を設けずに直線偏光光を用いて露光した場合は、縦横で3nm程度の寸法差が生じた。
- [0067] 図7A, 図7Bは、上述したフラッシュメモリの周辺回路部における突合せパターンを形成するためのマスクパターンを示した図である。
- [0068] 図7A, 図7Bを参照して、横方向 (第2方向) の突合せパターン形成用のマスクパターンは、主パターン22とハンマヘッド23 (hammer head) とを有し、縦方向 (第1方向) の突合せパターン形成用のマスクパターンは、主パターン24とハンマヘッド25とを有する。ここで、S偏光光により形成される配線パターンに対応する主パターン24 (第1マスクパターン) の幅 (W1) を、P偏光光により形成される配線パターンに対応する主パターン22 (第2マスクパターン) の幅 (W2) よりも大きくしている。なお、主パターンの幅と同様に、ハンマヘッド25の幅をハンマヘッド23の幅よりも大きくした。さら

に、ハンマヘッド25(第1マスクパターン)の厚みを大きくし、その間隔(W3)をハンマヘッド23(第2マスクパターン)の間隔(W4)よりも小さくしている。

[0069] このように、縦方向と横方向とでマスクパターンの寸法補正量を異ならせることで、周辺回路部における突合せパターンにおいても縦横差がなく、設計に忠実な、かつ、突合せ間隔の小さいパターン形成を行なうことができた。

[0070] 本実施の形態に係る半導体装置の製造方法について要約すると、以下のようになる。

[0071] 本実施の形態に係る半導体装置の製造方法は、1つの局面では、縦方向(第1方向)に延在する第1パターン(たとえば図3中の配線パターン14など)と、第1パターンと同一形状を有し、縦方向と直交する横方向(第2方向)に延在する第2パターン(たとえば図3中の配線パターン15など)とを有する半導体装置の製造方法であって、直線偏光照明を用い、第1パターン形成用の第1マスクパターン(たとえば図4中のマスクパターン16など)と第2パターン形成用の第2マスクパターン(たとえば図4中のマスクパターン17など)とを含むマスクパターンに従って露光を行なう工程と、露光後にマスクパターンに従った形状の第1と第2パターン(たとえば図3中の配線パターン14, 15など)を形成する工程とを備え、第1と第2マスクパターン(たとえば図4中のマスクパターン16, 17など)の形状を互いに異ならせている。別の観点では、マスクパターンの寸法補正量を縦方向と横方向とで互いに異ならせているといえる。

[0072] また、他の局面では、上記第1と第2パターンが同一幅を有するのに対し、第1と第2マスクパターンが異なる幅を有する。

[0073] ここで、直線偏光の偏光方向が縦方向である場合に、縦方向に延在するマスクパターン(第1マスクパターン)の幅を、横方向に延在するマスクパターン(第2マスクパターン)の幅よりも広くしている。

[0074] 第1と第2パターンの一例として、L形形状を有する設計パターン101, 102(第1と第2パターン)が考えられる。設計パターン101, 102に対応するマスクパターン113, 114は、コーナ部113A, 114Aを有する。コーナ部113A, 114Aの内側にはインナセリフ部117A, 117B(第1と第2凹部)が設けられ、コーナ部の外側にセリフ部118A, 118B(第1と第2凸部)が設けられる。縦方向(第1方向)に延在するマスクパ



ーン113と、横方向(第2方向)に延在するマスクパターン114との間で、インナセリフ部117A, 117Bおよびセリフ部118A, 118Bの形状が互いに異なる。

[0075] 第1と第2パターンは、たとえばゲート配線パターンであってもよいし、密集パターンであってもよいし、孤立パターンであってもよいし、さらには、突合せパターンであってもよい。

[0076] 本実施の形態に係る半導体装置は、メモリセル(memory cell)部と周辺回路部とを有する。上述した思想は、メモリセル部において実現されてもよいし、周辺回路部において実現されてもよい。

[0077] 本実施の形態においては、上述した思想により、縦／横方向間の寸法差が抑制された、設計に忠実なパターン形成を行なうことができる。

[0078] (実施の形態2)

図8A, 図8Bは、実施の形態2に係るフラッシュメモリ(半導体装置)における配線パターンを形成するためのマスクパターンを示した図である。

[0079] 図8A, 図8Bを参照して、S偏光光により形成される配線パターンに対応する縦方向の主パターン26(第1主パターン)の幅と、P偏光光により形成される配線パターンに対応する横方向の主パターン26A(第2主パターン)の幅とは同一(W1)である。ただし、横方向の主パターン26Aの両側には、それ自体は解像しない補助パターン27(ダミーパターン)が設けられている。

[0080] 具体的には、主パターン26, 26Aの幅(W1)をマスク上で240nm(ウェハ換算で60nm)とした。補助パターン27がない場合には、主パターン26, 26Aに従って形成される縦方向の配線パターンと横方向の配線パターンとで2nm程度の寸法差が生じた。一方、マスク上に補助パターン27を配置した場合は、縦／横パターン間で寸法差も形状差もない配線パターンを形成することができた。なお、補助パターン27の線幅(b1)はマスク上で50nm程度である。

[0081] 図9A, 図9Bは、図8A, 図8Bに示すマスクパターンの変形例を示した図である。

[0082] 図9A, 図9Bを参照して、S偏光光により形成される配線パターンに対応する縦方向の主パターン28(第1主パターン)の幅と、P偏光光により形成される配線パターンに対応する横方向の主パターン30(第2主パターン)の幅とは同一(W1)である。ま

た、縦方向の主パターン28の両側には、それ自体は解像しない補助パターン29が設けられ、横方向の主パターン26Aの両側には、それ自体は解像しない補助パターン31が設けられている。

- [0083] 具体的には、主パターン28, 30の幅(W1)をマスク上で200nm(ウエハ換算で50nm)とした。また、補助パターン29の線幅(b2)はマスク上で35nm程度とし、補助パターン31の線幅(b3)はマスク上で60nm程度とした。補助パターン29, 31と主パターン28, 30との間隔は、縦方向と横方向とで同一とした。これにより、縦／横パターン間で寸法差も形状差もない配線パターンを形成することができた。
- [0084] 本実施の形態に係る半導体装置の製造方法について要約すると、以下のようになる。
- [0085] 本実施の形態に係る半導体装置の製造方法は、縦方向(第1方向)に延在する配線パターン(第1パターン)と、第1パターンと同一幅を有し、縦方向と直交する横方向(第2方向)に延在する配線パターン(第2パターン)とを有する半導体装置の製造方法であって、直線偏光光によってマスク上に形成されたマスクパターンをウエハ上に形成されたレジスト膜上に転写する工程と、レジスト膜をパターニングする工程と、パターニングされたレジスト膜を用いてパターンを形成する工程とを備え、直線偏光光の偏光方向は上記の縦方向(第1方向)と平行であり、第2パターンを形成するためのマスクパターンとして、第2パターンに対応する主パターン26Aと、主パターン26Aの両側に該主パターン26Aよりも幅が小さい( $b1 < W1$ )補助パターン27とを設けている。
- [0086] 主パターン26Aの両側に補助パターン27を設けることにより、主パターン26Aによって形成され、横方向(P偏光方向)に延在する第2パターンの幅を抑制することができる。結果として、第2パターンの幅を縦方向(S偏光方向)に延在する第1パターンの幅と合わせることができ、縦横方向間の寸法差が抑制された、設計に忠実なパターン形成を行なうことができる。
- [0087] また、縦方向(S偏光方向)に延在する主パターン28(第1主パターン)の両側に補助パターン29(第1補助パターン)を設け、横方向(P偏光方向)に延在する主パターン30(第2主パターン)の両側に補助パターン31(第2補助パターン)を設け、補助パ

ターン31の幅(b3)を補助パターン29の幅(b2)よりも大きくすることでも、上記と同様の効果を奏する。

[0088] なお、本実施の形態において、実施の形態1と同様の事項については、詳細な説明は繰り返さない。

[0089] (実施の形態3)

図10A, 図10Bは、ウエハ上にホールパターンを形成するためのマスクパターンを示した上面図である。

[0090] 図10Aは一般的なマスクパターンを示す。図10Aにおいて、マスクパターンはハーフトーンフィールド(half tone field)部32(ハーフトーン領域)と開口部33とを有する。開口部33は、正方形の形状を有する。このマスクパターンに無偏光光を照射することで、円形のホールパターン(hole pattern)が形成される。

[0091] これに対し、図10Bは、本実施の形態に係る半導体装置の製造方法において用いるマスクパターンレイアウトを示す。図10Bにおいて、マスクパターンはハーフトーンフィールド部32(ハーフトーン領域)と開口部34とを有する。開口部34は、縦方向(第1方向)の開口幅(W2)が横方向(第2方向)の開口幅(W1)よりも広い長方形の形状を有する。このマスクパターンに縦方向に偏光する偏光光を照射することで、円形のホールパタンが形成される。なお、図10Bにおいて、長方形の縦横比は1.6程度であるが、この値は1.2以上2以下程度の範囲で変更が可能である。縦横比をこの範囲内に設定することにより、後述する異状転写を防止する効果を十分に確保しながら、形成されるホールパターンが楕円形状となることを防止することができる。なお、ハーフトーンフィールド部32を透過する光は開口部34を透過する光に比べて、位相が $\pi$ だけずれるように調整されている。

[0092] 図11A, 図11Bは、図10A, 図10Bに示すマスクパターン複数配置した状態を示す図である。図11Aにおいては、ハーフトーンフィールド部40に正方形の形状を有する開口部41が配置され、図11Bにおいては、ハーフトーンフィールド部40に長方形の形状を有する開口部42が配置される。

[0093] ところで、上述した実施の形態1においては、露光に用いる直線偏光光がS偏光照明となる方向(第1方向)のマスクパターンの線幅を、該直線偏光光がP偏光照明とな

る方向(第2方向)のマスクパターンの線幅よりも大きくすることにより、縦／横方向間で寸法差のないパターンを形成したが、本実施の形態においては、縦方向(第1方向)の開口幅を横方向(第2方向)の開口幅よりも大きくする、すなわち、露光に用いる直線偏光光がS偏光照明となる方向(第1方向)のハーフトーンフィールド部の幅を、該直線偏光光がP偏光照明となる方向(第2方向)のハーフトーンフィールド部の幅よりも小さくすることにより、円形のホールパターンを形成している。このように、本実施の形態に係るマスクパターンは、上述した実施の形態1と異なる特徴部分を有する。

[0094] 上記のように、本実施の形態において、実施の形態1と逆の寸法補正を行なったのは、ハーフトーン露光において解像度向上の阻害要因となっているサブピーク(sub peak)異状転写を防止するためである。サブピークとは開口部からの光回折により開口の周辺に生じる光強度の強いスポットのことで、周辺の開口からの回折光と干渉することによりそのスポット強度がより強くなり、異状転写像となって現れる現象のことである。

[0095] 図12A、図12Bは、図11A、図11Bに示すマスクパタンを用いて形成したウエハ上のパターンを示した図である。なお、図12Aは、図11Aに示すマスクパターンに無偏光光を照射することで形成されたパターンを示す図であり、図12Bは、図11Bに示すマスクパターンに縦方向(第1方向)に偏光する直線偏光光を照射することで形成されたパターンを示す図である。

[0096] 図12A、図12Bを参照して、レジスト43上にホール44、45が形成される。図12Aにおいては、ホール44間に、サブピークによる異状転写パターン46が形成されている。一方、図12Bにおいては、サブピークによる異状転写は観察されない。図12Bにおいては、露光光として直線偏光を用い、かつ、その偏光方向の開口幅を相対的に大きくすることで、露光効率を改善し、開口部とフィールド部との相対的な露光比を小さくしたためである。

[0097] なお、本実施の形態においては、ハーフトーンフィールド部の透過率を6%程度に設定したが、この透過率をより高くすることで、サブピークによる異状転写を防止する効果をより高めることができる。具体的には、上記透過率は、2%以上25%以下程度の範囲で変更可能である。

[0098] 本実施の形態に係る半導体装置の製造方法について要約すると以下のようになる。

[0099] 本実施の形態に係る半導体装置の製造方法は、ホール45(ホールパターン)を有する半導体装置の製造方法であって、直線偏光光によってマスク上に形成された開口部42を含むマスクパターンをウエハ上に形成されたレジスト43上に転写する工程と、レジスト43をパターンニングする工程と、パターンニングされたレジスト43を用いてパターンを形成する工程とを備え、ホール45を形成するための開口部42において、直線偏光光の偏光方向に平行な縦方向(第1方向)の開口幅(W2)を縦方向に直交する横方向(第2方向)の開口幅(W1)よりも広くしている。

[0100] これにより、レジスト上にサブピークによる異状転写パターンが形成されるのを抑制することができる。

[0101] なお、本実施の形態において、実施の形態1, 2と同様の事項については、詳細な説明は繰り返さない。

[0102] (実施の形態4)

図13A～図13Dは、実施の形態4に係る半導体装置の製造方法における、基板50上に形成されたレジストパターン51, 52, 51A, 52Aを示した断面図である。また、図14A, 図14Bは、該レジストパターンを示した上面図である。図13A, 図13Cは、図14A中のA-A断面を示し、図13B, 図13Dは、図14B中のB-B断面を示す。

[0103] 図13A～図13D, 図14A, 図14Bに示すレジストパターンは、パターン幅が70nm程度のラインアンドスペースパターンを形成するためのものである。このレジストパターンは、たとえば、露光波長が193nm、開口数(NA)が0.92の露光条件下で形成される。

[0104] 図13A, 図13Bは、直線偏光光を用いて露光を行なった場合に形成されるレジストパターン51, 52を示す図である。なお、直線偏光光の偏光方向は、図14A, 図14B中の上下方向である。すなわち、図13Aに示すレジストパターン51は、S偏光光により形成されたものであり、図13Bに示すレジストパターン52は、P偏光光により形成されたものである。

[0105] 図13A, 図13Bを参照して、S偏光光により形成されたレジストパターン51は、裾細

りの断面形状を有する。一方、P偏光光により形成されたレジストパターン52は、矩形断面形状を有する。

[0106] 図13C, 図13Dは、縦方向(第1方向)に偏光する直線偏光光(第1直線偏光光)に横方向(第2方向)に偏光する他の直線偏光光(第2直線偏光光)を組み合わせた偏光光を用いて露光を行なった場合に形成されるレジストパターン51A, 52Aを示す図である。なお、第1直線偏光光の偏光方向は、図14A, 図14B中の上下方向であり、第2直線偏光光の偏光方向は、図14A, 図14B中の左右方向である。また、第2直線偏光光の振幅は、第1直線偏光光の振幅の5%程度である。

[0107] 図13Cを参照して、S偏光光とP偏光光とを組み合わせた偏光光によって露光することで、レジストパターン51Aの形状を矩形形状とすることができた。ここで、レジストパターン51Aの解像度としては、レジストパターン51とほぼ同程度の解像度を確保することができる。なお、レジストパターン52Aの形状は、レジストパターン52の形状と同形状となる。この結果、縦／横のレジストパターン(レジストパターン51A, 52A)の寸法差、形状差を小さくすることができる。

[0108] ここで、第1と第2の直線偏光光の組み合わせの手法としては、それらを合成した楕円偏光光を照射する方法と、第1と第2直線偏光光を別々に照射する方法とが考えられる。すなわち、第1直線偏光光と第2直線偏光光との組み合わせとは、第1と第2直線偏光光を合成して楕円偏光光にすることと、第1と第2直線偏光光を別々に照射することを含む概念である。前者は露光が1回で完了するため、スループットが向上するという利点を有し、後者は露光光学系を簡便な装置で構成することができるので、偏光比率(第1と第2直線偏光光の振幅の比率)の制御がしやすくなるという利点を有する。

[0109] また、本実施の形態においては、第2直線偏光光の振幅を第1直線偏光光の振幅の5%程度としたが、この値は2%以上20%以下程度(より好ましくは、3%以上10%以下程度)の範囲で変更可能である。第1と第2直線偏光光の振幅の比率をこの範囲内に設定することにより、レジストパターンの解像度を十分に確保しながら、S偏光光によって転写形成されるレジストパターンの断面が裾細り形状となるのを抑制することができる。

- [0110] 本実施の形態に係る半導体装置の製造方法について要約すると、以下のようになる。
- [0111] 本実施の形態に係る半導体装置の製造方法は、照明装置とマスクと投影レンズとを用い、照明装置からの照明光によってマスク上に形成されたマスクパターンをウエハ上に形成されたレジスト膜上に転写する工程を備え、照明光として、マスクパターンの延在方向に平行な縦方向(第1方向)に偏光するS偏光光(第1直線偏光光)と、縦方向に直交する横方向(第2方向)に偏光するP偏光光(第2直線偏光光)とを組み合わせて用いている。
- [0112] なお、本実施の形態において、実施の形態1〜3と同様の事項については、詳細な説明は繰り返さない。
- [0113] 以上、本発明の実施の形態について説明したが、上述した各実施の形態の特徴部分を適宜組み合わせることは、当初から予定されている。
- [0114] 本発明を詳細に説明し示してきたが、これは例示のためのみであって、限定とってはならず、発明の精神と範囲は請求の範囲によってのみ限定されることが明らかに理解されるであろう。

#### 産業上の利用可能性

- [0115] 以上のように、本発明は、半導体装置の製造方法およびマスクパターンデータ作成方法に適用される。

## 請求の範囲

- [1] 第1方向に延在する第1パターン(14)と、該第1パターン(14)と同一形状を有し、前記第1方向と直交する第2方向に延在する第2パターン(15)とを有する半導体装置の製造方法であって、  
直線偏光照明を用い、前記第1パターン(14)形成用の第1マスクパターン(16)と前記第2パターン(15)形成用の第2マスクパターン(17)とを含むマスクパターンに従って露光を行なう工程と、  
前記露光後に前記マスクパターンに従った形状の前記第1と第2パターン(14, 15)を形成する工程とを備え、  
前記第1と第2マスクパターン(16, 17)の形状を互いに異ならせた半導体装置の製造方法。
- [2] 前記第1方向は、前記第1と第2マスクパターン(16, 17)を通過する露光光の偏光方向と平行な方向であり、  
前記第1マスクパターン(16)の幅を前記第2マスクパターン(17)の幅よりも広くした、請求項1に記載の半導体装置の製造方法。
- [3] 前記第1と第2マスクパターン(113, 114)は第1と第2コーナ部(113A, 114A)を有し、  
前記第1と第2コーナ部(113A, 114A)に第1と第2凹部(117A, 117B)が設けられ、  
前記第1と第2凹部(117A, 117B)の形状を互いに異ならせた、請求項1に記載の半導体装置の製造方法。
- [4] 前記第1と第2マスクパターン(113, 114)は第1と第2コーナ部(113A, 114A)を有し、  
前記第1と第2コーナ部(113A, 114A)に第1と第2凸部(118A, 118B)が設けられ、  
前記第1と第2凸部(118A, 118B)の形状を互いに異ならせた、請求項1に記載の半導体装置の製造方法。
- [5] 第1方向に延在する第1パターン(14)と、該第1パターン(14)と同一幅を有し、前



記第1方向と直交する第2方向に延在する第2パターン(15)とを有する半導体装置の製造方法であって、

直線偏光照明を用い、前記第1パターン(14)形成用の第1マスクパターン(16)と前記第2パターン(15)形成用の第2マスクパターン(17)とを含むマスクパターンに従って露光を行なう工程と、

前記露光後に前記マスクパターンに従った形状の前記第1と第2パターン(14, 15)を形成する工程とを備え、

前記第1と第2マスクパターン(16, 17)の幅を互いに異ならせた半導体装置の製造方法。

- [6] 前記第1方向は、前記第1と第2マスクパターン(16, 17)を通過する露光光の偏光方向と平行な方向であり、

前記第1マスクパターン(16)の幅を前記第2マスクパターン(17)の幅よりも広くした、請求項5に記載の半導体装置の製造方法。

- [7] 前記第1と第2マスクパターン(113, 114)は第1と第2コーナ部(113A, 114A)を有し、

前記第1と第2コーナ部(113A, 114A)に第1と第2凹部(117A, 117B)が設けられ、

前記第1と第2凹部(117A, 117B)の形状を互いに異ならせた、請求項5に記載の半導体装置の製造方法。

- [8] 前記第1と第2マスクパターン(113, 114)は第1と第2コーナ部(113A, 114A)を有し、

前記第1と第2コーナ部(113A, 114A)に第1と第2凸部(118A, 118B)が設けられ、

前記第1と第2凸部(118A, 118B)の形状を互いに異ならせた、請求項5に記載の半導体装置の製造方法。

- [9] 第1方向に延在する第1孤立パターン(101)と、該第1孤立パターン(101)と同一形状を有し、前記第1方向と直交する第2方向に延在する第2孤立パターン(102)とを有する半導体装置の製造方法であって、

直線偏光照明を用い、前記第1孤立パターン(101)形成用の第1マスクパターン(113)と前記第2孤立パターン(102)形成用の第2マスクパターン(114)とを含むマスクパターンに従って露光を行なう工程と、

前記露光後に前記マスクパターンに従った形状の前記第1と第2孤立パターン(101, 102)を形成する工程とを備え、

前記第1と第2マスクパターン(113, 114)の形状を互いに異ならせた半導体装置の製造方法。

- [10] メモリセル部(10)と周辺回路部(11)とを有する半導体装置の製造方法であって、直線偏光光によってマスク上に形成されたマスクパターン(19, 20)をウエハ(120)上に形成されたレジスト膜(123)上に転写する工程と、

前記レジスト膜(123)をパターニングする工程と、

パターニングされた前記レジスト膜(123A)を用いてパターン(122A)を形成する工程とを備え、

前記周辺回路部(11)のパターンを形成するための前記マスクパターン(19, 20)の寸法補正量を縦方向と横方向とで互いに異ならせた半導体装置の製造方法。

- [11] 第1方向に延在する第1パターンと、該第1パターンと同一幅を有し、前記第1方向と直交する第2方向に延在する第2パターンとを有する半導体装置の製造方法であって、

直線偏光光によってマスク上に形成されたマスクパターン(26, 26A)をウエハ(120)上に形成されたレジスト膜(123)上に転写する工程と、

前記レジスト膜(123)をパターニングする工程と、

パターニングされた前記レジスト膜(123A)を用いてパターン(122A)を形成する工程とを備え、

前記第1方向は前記直線偏光光の偏光方向と平行であり、

前記第2パターンを形成するためのマスクパターンとして、前記第2パターンに対応する主パターン(26A)と前記主パターン(26A)の両側に該主パターンよりも幅が小さい補助パターン(27)とを設けた半導体装置の製造方法。

- [12] 第1方向に延在する第1パターンと、該第1パターンと同一幅を有し、前記第1方向

と直交する第2方向に延在する第2パターンとを有する半導体装置の製造方法であって、

直線偏光光によってマスク上に形成されたマスクパターン(28, 30)をウエハ(120)上に形成されたレジスト膜(123)上に転写する工程と、

前記レジスト膜(123)をパターンニングする工程と、

パターンニングされた前記レジスト膜(123A)を用いてパターン(122A)を形成する工程とを備え、

前記第1パターンを形成するための第1マスクパターンとして、前記第1パターンに対応する第1主パターン(28)と前記第1主パターン(28)の両側に該第1主パターン(28)よりも幅が小さい第1補助パターン(29)とを設け、

前記第2パターンを形成するための第2マスクパターンとして、前記第2パターンに対応する第2主パターン(30)と前記第2主パターン(30)の両側に該第2主パターン(30)よりも幅が小さい第2補助パターン(31)とを設け、

前記第2補助パターン(31)の幅が前記第1補助パターン(29)の幅よりも大きい半導体装置の製造方法。

[13] ホールパターン(45)を有する半導体装置の製造方法であって、

直線偏光光によってマスク上に形成されたマスクパターン(42)をウエハ(120)上に形成されたレジスト膜(123)上に転写する工程と、

前記レジスト膜(123)をパターンニングする工程と、

パターンニングされた前記レジスト膜(123A)を用いてパターン(122A)を形成する工程とを備え、

前記ホールパターン(45)を形成するためのマスクパターン(42)において、前記直線偏光光の偏光方向に平行な第1方向の開口幅を該第1方向に直交する第2方向の開口幅よりも広くした半導体装置の製造方法。

[14] 前記マスクパターン(42)にハーフトーン領域(40)を設けた、請求項13に記載の半導体装置の製造方法。

[15] 照明装置(1)とマスク(7)と投影レンズ(8)とを用い、前記照明装置(1)からの照明光によってマスク(7)上に形成されたマスクパターン(5)をウエハ(9)上に形成された

レジスト膜上に転写する工程を備え、

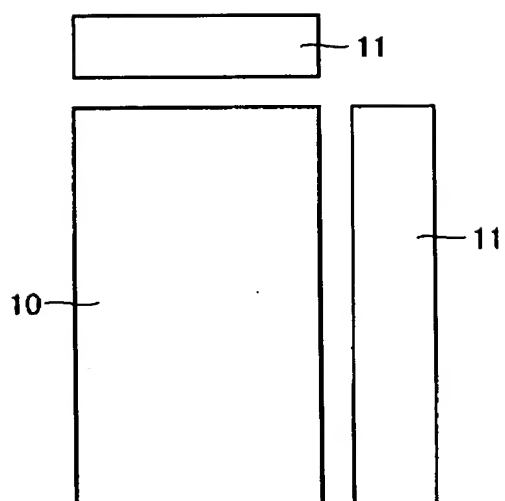
前記照明光として、前記マスクパターン(5)の延在方向に平行な第1方向に偏光する第1直線偏光光と、前記第1方向に直交する第2方向に偏光する第2直線偏光光とを組み合わせて用いる半導体装置の製造方法。

[16] 前記第2直線偏光光の振幅を、前記第1直線偏光光の振幅の2パーセント以上20パーセント以下とした、請求項15に記載の半導体装置の製造方法。

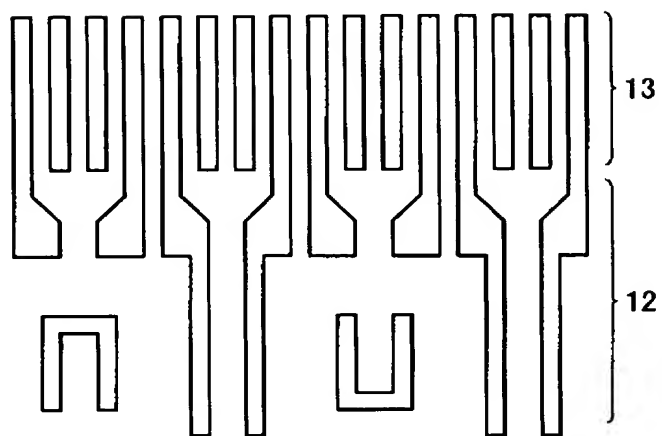
[17] 直線偏光光を用いてウェハ(9)上にパターン(6)を形成するためのマスクパターン(5)を規定するマスクパターンデータ作成方法であって、

前記直線偏光光の偏光方向に平行な第1方向と、該第1方向と直交する第2方向とにおいて互いに寸法補正量を異ならせたマスクパターンデータ作成方法。

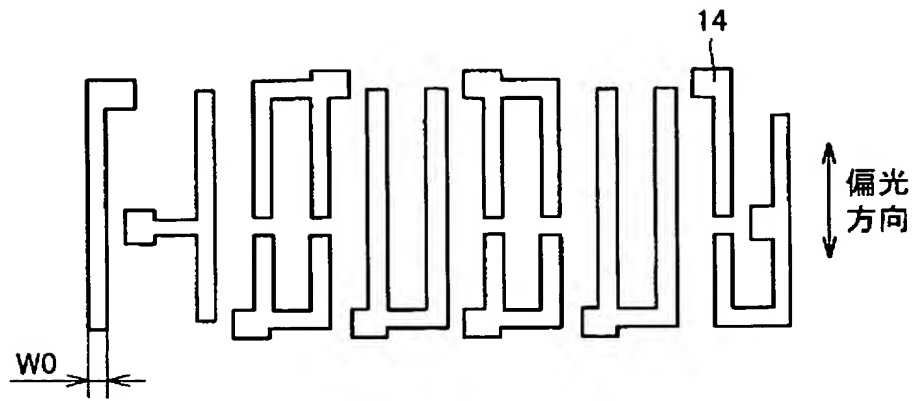
[図1]



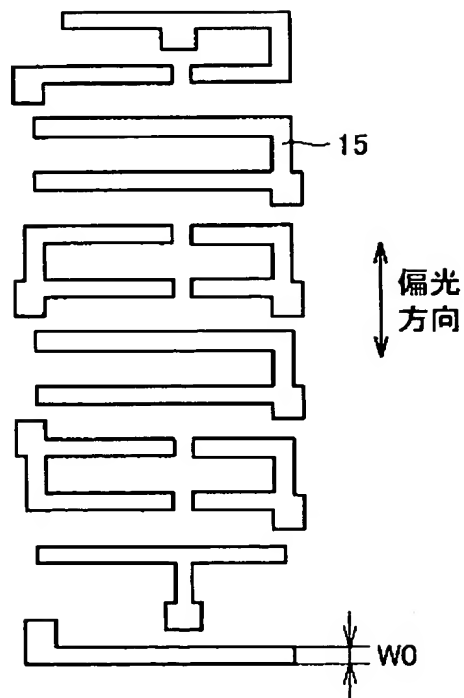
[図2]



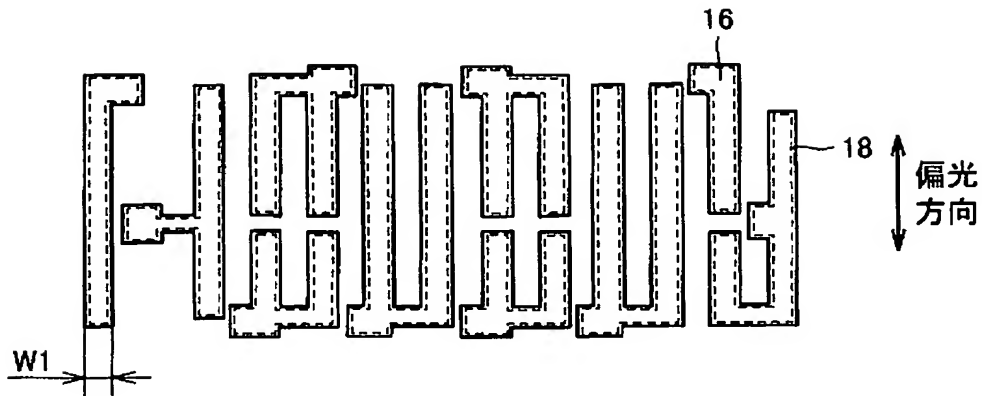
[図3A]



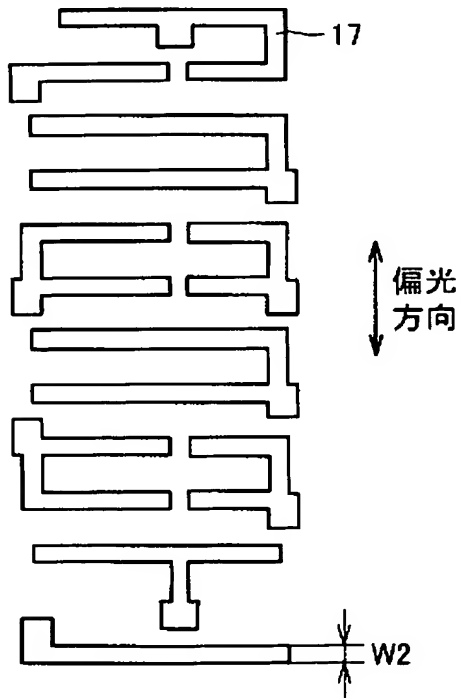
[図3B]



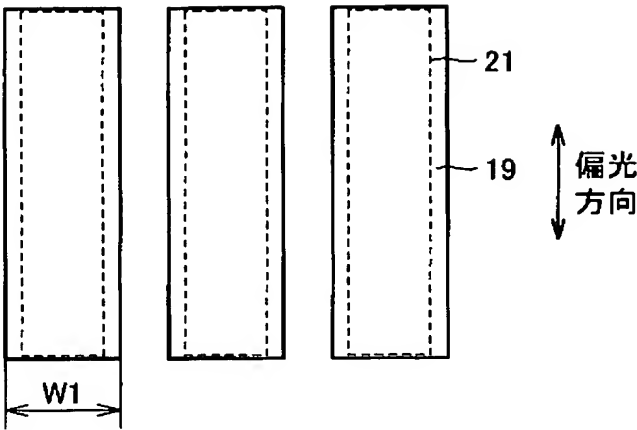
[図4A]



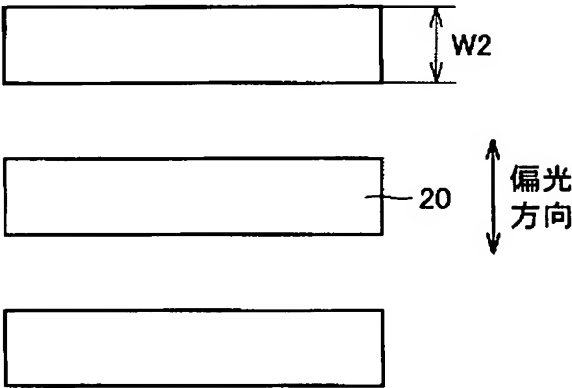
[図4B]



[図5A]

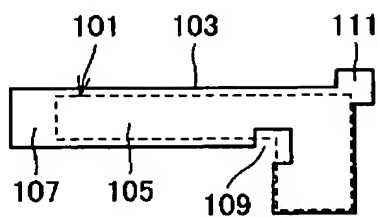


[図5B]

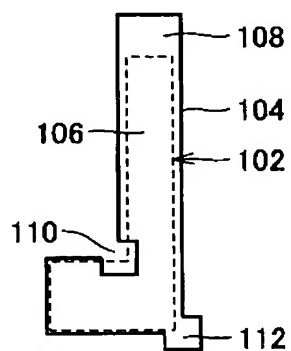




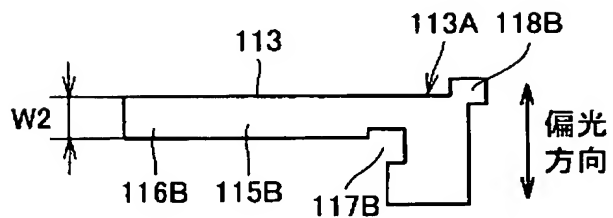
[図6A]



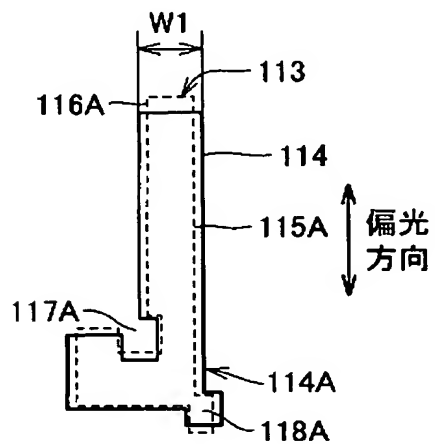
[図6B]



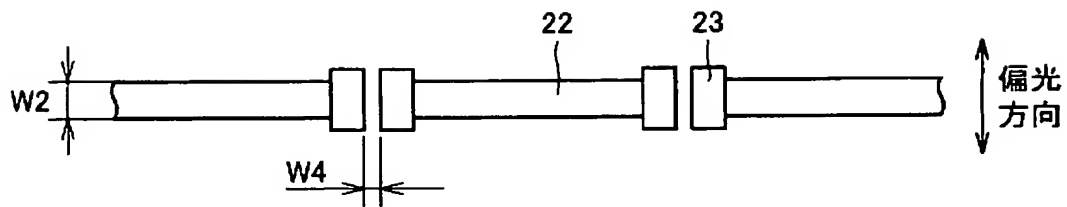
[図6C]



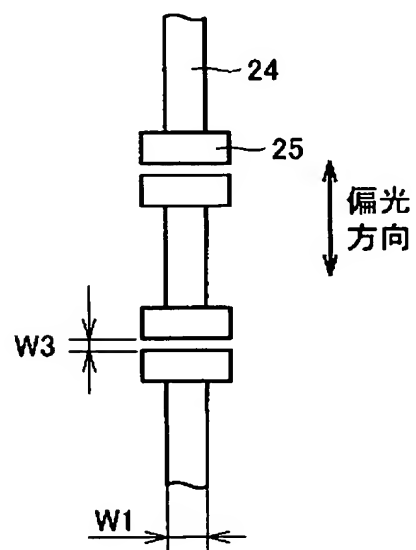
[図6D]



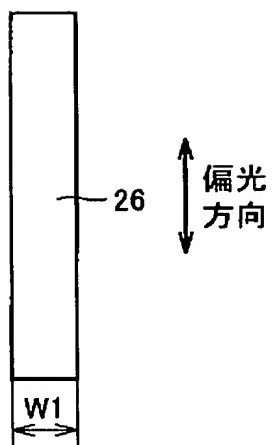
[図7A]



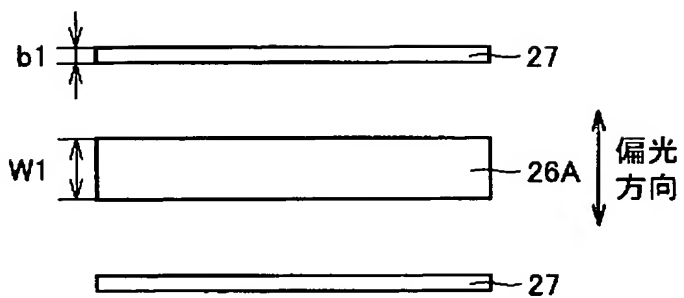
[図7B]



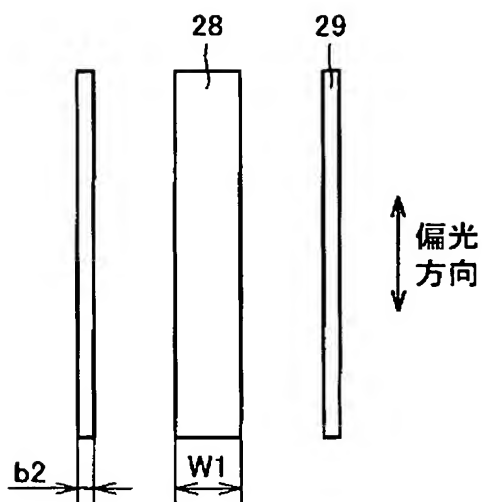
[図8A]



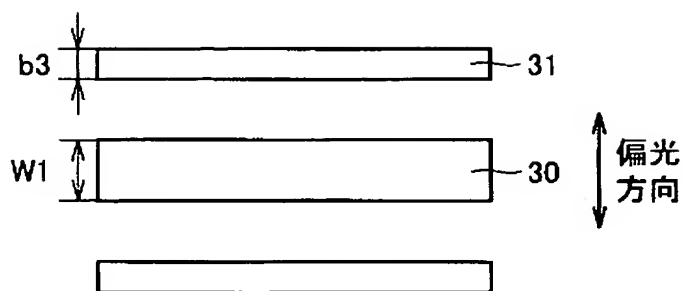
[図8B]



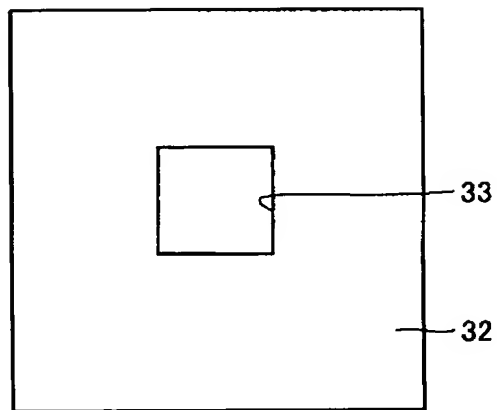
[図9A]



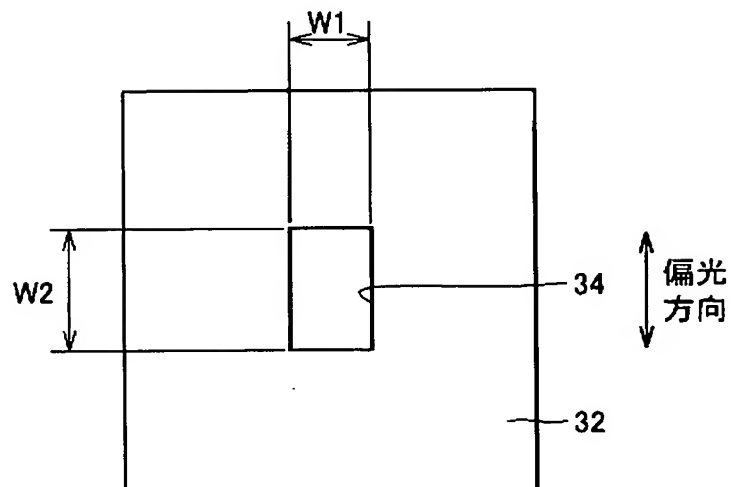
[図9B]



[図10A]

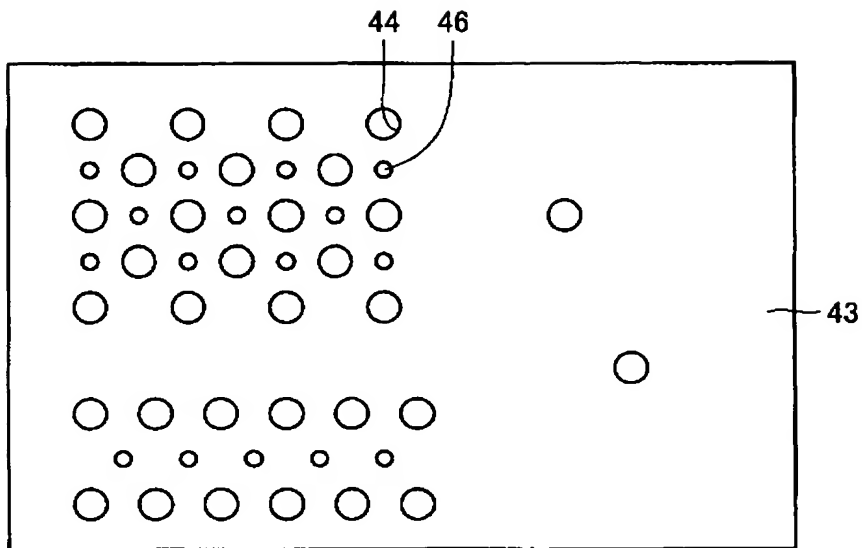


[図10B]

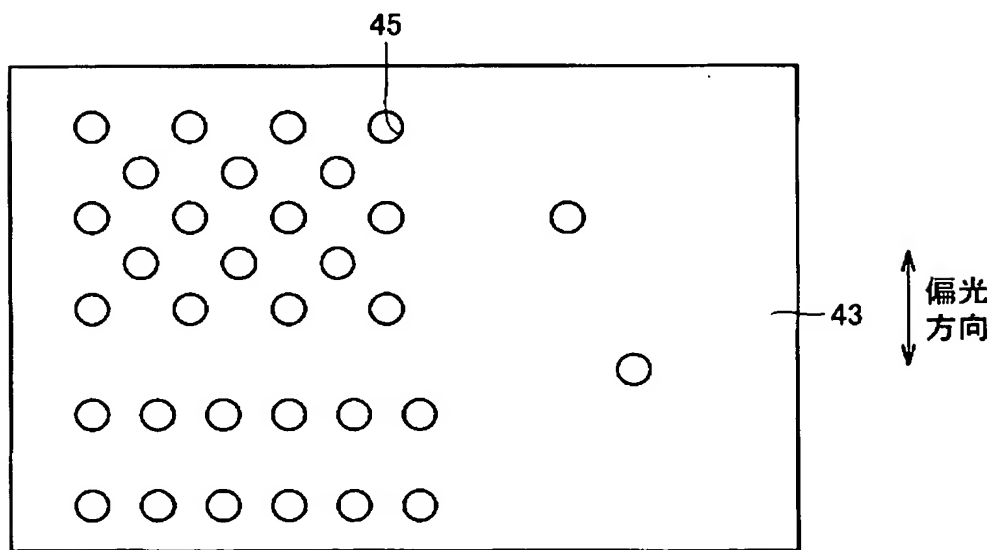




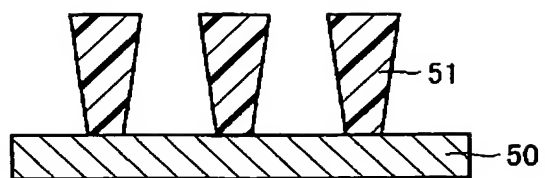
[図12A]



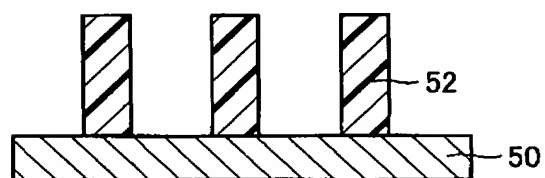
[図12B]



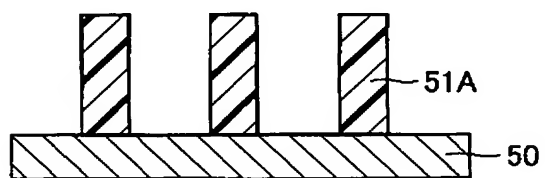
[図13A]



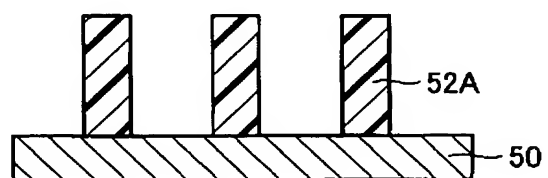
[図13B]



[図13C]

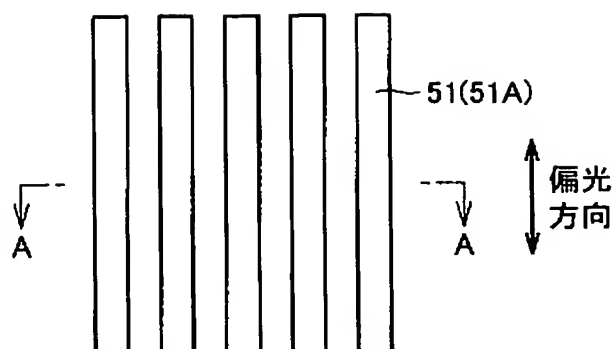


[図13D]

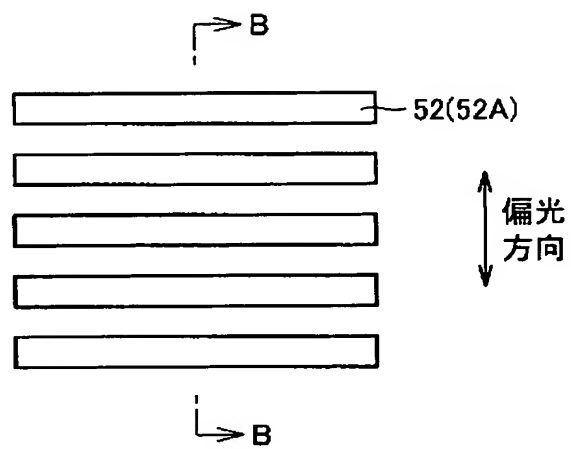




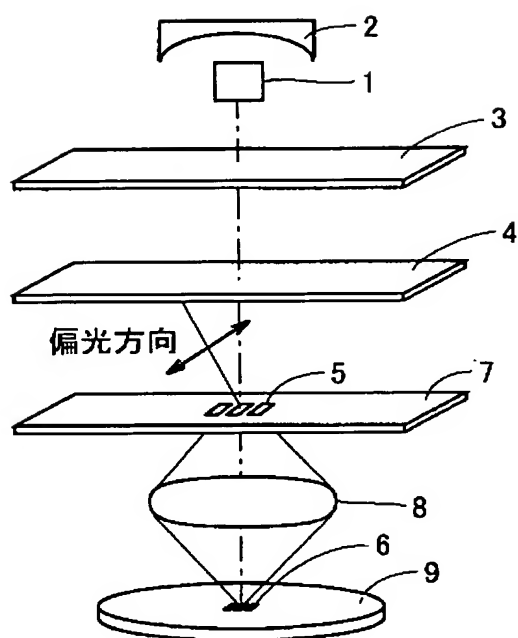
[図14A]



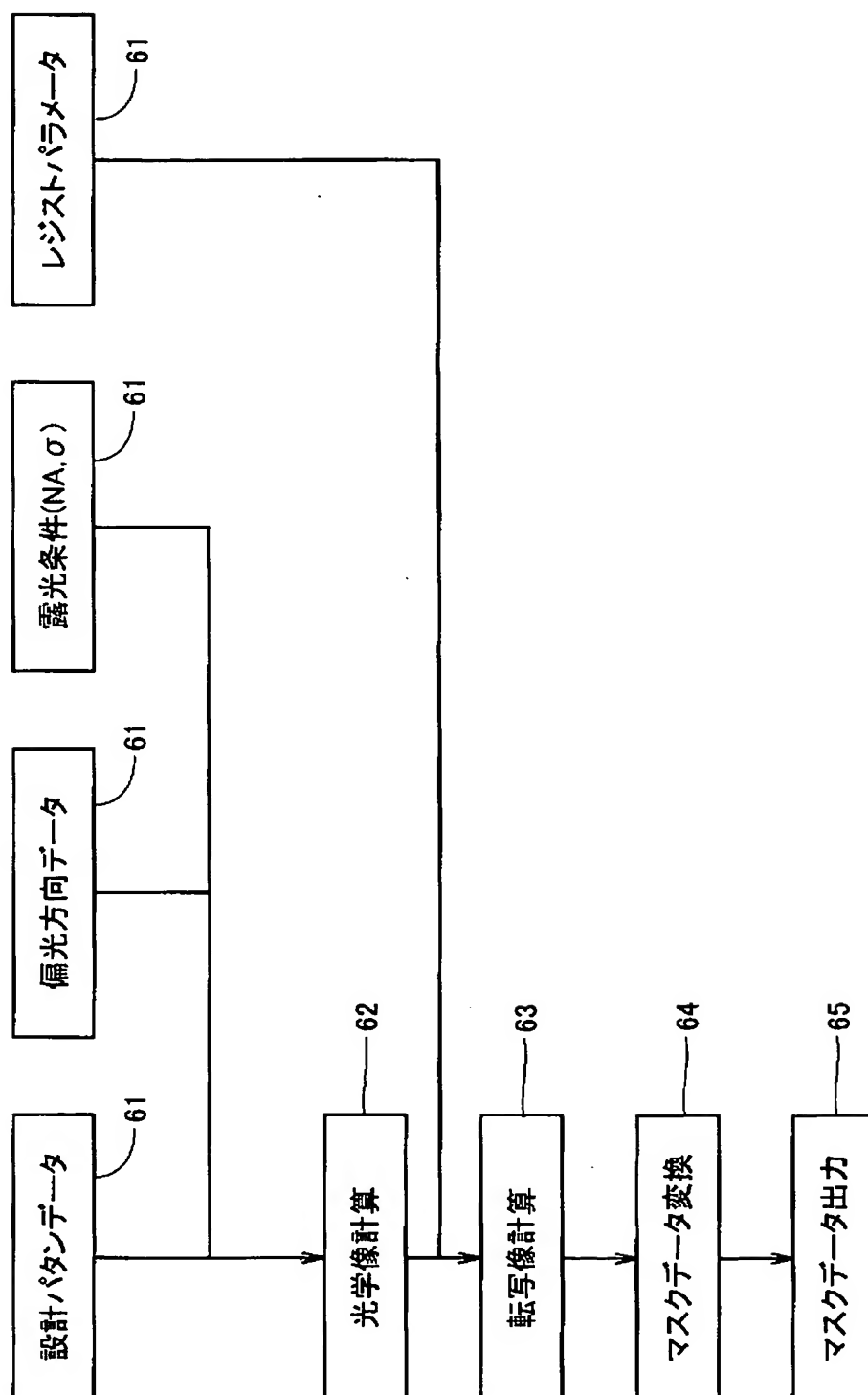
[図14B]



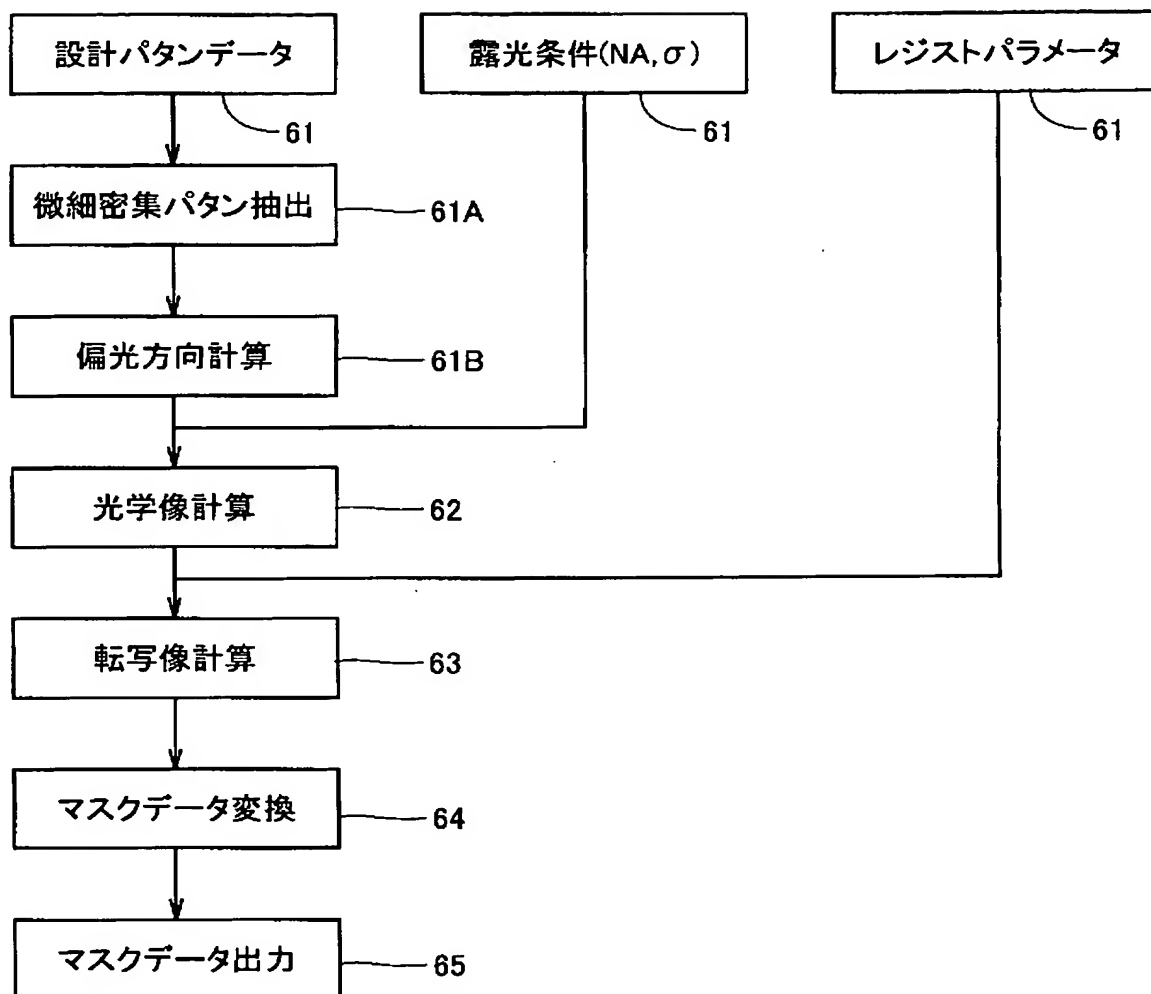
[図15]



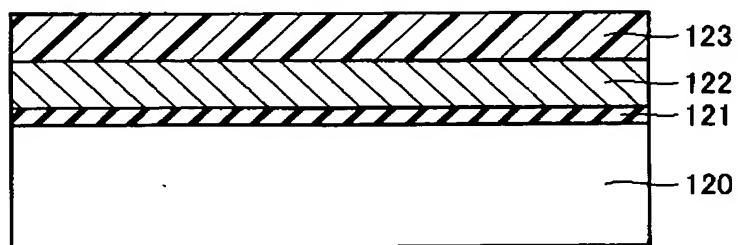
[図16]



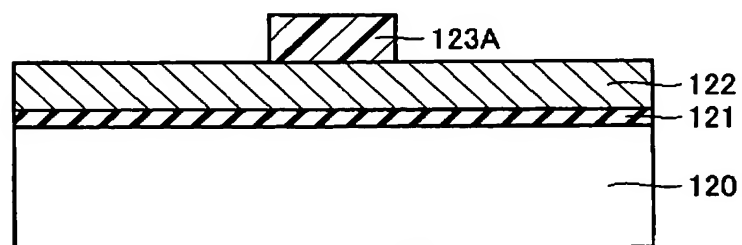
[図17]



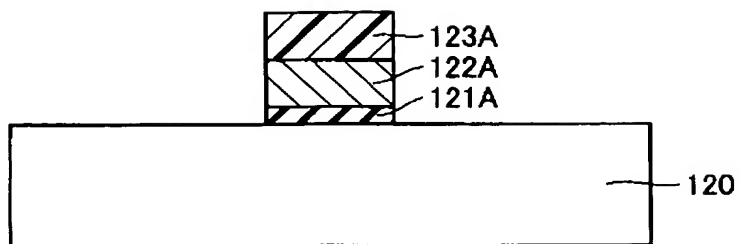
[図18]



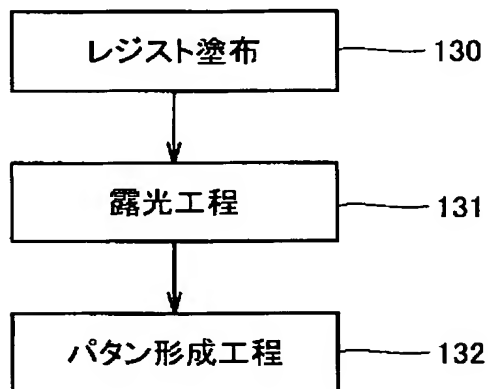
[図19]



[図20]



[図21]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/019165

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> G03F1/08, H01L21/027

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G03F1/08, H01L21/027

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Jitsuyo Shinan Toroku Koho	1996-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 8-203806 A (Sony Corp.),	15, 16
Y	09 August, 1996 (09.08.96),	10, 11, 17
A	Full text; all drawings (Family: none)	1-9, 12-14
X	JP 64-67914 A (Hitachi, Ltd.),	15, 16
	14 March, 1989 (14.03.89),	
	Full text; all drawings (Family: none)	
Y	JP 2000-3028 A (Toshiba Corp.),	10, 17
	07 January, 2000 (07.01.00),	
	Examples & US 6128067 A	

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
28 January, 2005 (28.01.05)Date of mailing of the international search report  
15 February, 2005 (15.02.05)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/019165

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 3-210560 A (Fujitsu Ltd.), 13 September, 1991 (13.09.91), Drawings (Family: none)	11

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G03F1/08, H01L21/027

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G03F1/08, H01L21/027

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2005年  
 日本国登録実用新案公報 1994-2005年  
 日本国実用新案登録公報 1996-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 8-203806 A (ソニー株式会社) 1996.08.09	15, 16
Y	全文、全図	10, 11, 17
A	(ファミリーなし)	1-9, 12-14
X	JP 64-67914 A (株式会社日立製作所) 1989.03.14	15, 16
	全文、全図 (ファミリーなし)	
Y	JP 2000-3028 A (株式会社東芝) 2000.01.07	10, 17
	各実施例 & US 6128067 A	

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日

28.01.2005

国際調査報告の発送日

15.2.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
 郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

多田 達也

2M

3011

電話番号 03-3581-1101 内線 3274



C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 3-210560 A (富士通株式会社) 1991. 09. 13 各図 (ファミリーなし)	11